

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
КАРПАТСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
ІМЕНІ ВАСИЛЯ СТЕФАНІКА**



Фізико-технічний факультет
Кафедра комп'ютерної інженерії та електроніки

**СИЛАБУС НАВЧАЛЬНОЇ ДИСЦИПЛІНИ
Цифрова схемотехніка**

Освітня програма Комп'ютерна інженерія
Галузь знань F Інформаційні технології
Спеціальність F7 Комп'ютерна інженерія

Затверджено на засіданні кафедри
Протокол № 13 від “26_”_08__2025 р.

Івано-Франківськ – 2025 рік

Зміст

1. Загальна інформація
2. Анотація до курсу
3. Мета та цілі курсу
4. Компетентності
5. Результати навчання
6. Організація навчання курсу
7. Система оцінювання курсу
8. Політика курсу
9. Рекомендована літератури

1. Загальна інформація про викладача і дисципліну

Назва дисципліни	Цифрова схемотехніка
Рівень вищої освіти	Перший рівень вищої освіти
Викладач	Доктор технічних наук, професор, Когут Ігор Тимофійович
Контактний телефон викладача	(0342) 59-60-07
Е-mail викладача	ihor.kohut@cnu.edu.ua
Формат дисципліни	Семестровий
Обсяг дисципліни	9 кредитів
Посилання на сайт дистанційного навчання	http://www.d-learn.cnu.edu.ua
Консультації	Відповідно до графіку індивідуальних консультацій, який розміщений на інформаційному стенді кафедри комп'ютерної інженерії та електроніки

2. Анотація до курсу

Дисципліна “Цифрова схемотехніка” належить до переліку обов'язкових навчальних дисциплін з циклу професійної підготовки за освітнім рівнем “бакалавр”, що пропонуються в рамках циклу загальної і професійної підготовки студентів за освітньою програмою “Комп'ютерна інженерія”. Вона забезпечує формування у студентів науково-дослідницьких професійно-орієнтованих компетенцій.

Предметом вивчення навчальної дисципліни є базові схемотехнічні підходи, що стосуються створення елементної бази для побудови компонентів комп'ютерних пристроїв і систем, основою яких є інтегральні схеми (ІС). Для їх створення найбільш придатною на даний час вважається КМОН - технологія, оскільки пристрої на їх основі володіють мінімальною споживаною потужністю порівняно з іншими відомими технологіями і достатньо високою швидкодією, завдяки сучасним суб- і нано-метровим топологічним розмірам елементів. Для розуміння принципів побудови цифрових компонентів ІС, необхідні знання з їх проектування як на високому рівні, функціонально-логічному так і на схемотехнічному рівні КМОН - транзисторів. Оскільки цей рівень є основою для проектування топологій ІС, параметричної оптимізації реальних компонентів та елементів, виготовлення кристалів реальних ІС. Для їх проектування, дослідження і моделювання використовуються сучасні апаратно-програмні засоби – системи автоматизованого проектування і моделювання (САПР). Тому метою цього курсу є також формування у студентів практичних навиків комп'ютерного проектування і моделювання елементної бази цифрових ІС, зокрема, на основі КМОН - технологій, використання САПР як інструментарію інтерактивних досліджень в процесі створення і оптимізації цифрових ІС. Це є особливістю даного курсу. Ці знання необхідні також для проектування цифрових ІС з використанням зовнішнього програмування – програмовані логічні ІС (ПЛІС), матричні ІС та ін.

Силабус навчальної дисципліни “Цифрова схемотехніка” складений відповідно до освітньо-професійної програми підготовки бакалаврів спеціальності F7 “Комп'ютерна інженерія”.

3. Мета та цілі курсу

Мета: сформувати у студентів:

- сучасні практично-прикладні уявлення та знання із цифрової схемотехніки щодо побудови і проектування компонентів комп'ютеризованих пристроїв і систем на основі КМОН ІС.
- особливості вибору типів інтегральних приладних структур для цифрових пристроїв;
- уявлення про базові маршрути проектування ІС;
- особливості автоматизованого проектування, моделювання і дослідження схем технічних рішень з реалізації елементної бази цифрових КМОН ІС;
- уявлення про методологію схемотехнічного моделювання елементної бази КМОН ІС з врахуванням впливу міжелементної ізоляції в пакеті прикладних програм Top Spice 10, параметричну оптимізацію приладних елементів ІС за критеріями оптимальні електричні, часові і температурні характеристики.

Завдання: ознайомлення із науковими положеннями, що лежать в основі функціонування елементної бази комп'ютерних засобів і систем та мереж; маршрутами проектування компонентів комп'ютерних засобів на основі інтегральних схем; формування вміння аналізувати та проектувати логічні і комбінаційні елементи цифрових ІС; отримання практичного досвіду з проектування, моделювання та параметричної оптимізації елементів приладних структур ІС.

У результаті вивчення навчальної дисципліни студент повинен знати:

- склад, функціонування і класифікацію комп'ютерних систем та їх компонентів;
- технічних характеристик, конструктивних особливостей, призначення і правил експлуатації програмно-технічних засобів комп'ютерних систем та мереж зокрема, САПР, для проектування елементної бази на основі ІС;
- методологію проведення експериментів, використання даних та моделювання в САПР;
- сучасні підходи і маршрути автоматизованого проектування і моделювання приладних структур ІС
- взаємозв'язок між конструктивно-технологічними елементами приладних інтегральних структур та їх схемотехнічною реалізацією;

вміти:

- розв'язувати задачі аналізу та проектування базових цифрових елементів КМОН ІС та компонентів комп'ютерних засобів на основі ІС.
- аналізувати і вибирати типи інтегральних приладних структур для створення ІС за оптимальним принципом співвідношення ціна/параметри ІС:
- працювати в сучасних системах автоматизованого проектування і моделювання приладних елементів ІС ;
- проектувати та моделювати та аналізувати базові логічні бібліотечні елементи ІС;
- проектувати та моделювати комбінаційні логічні елементи ІС спеціалізованого (для дослідження елементної бази) призначення;
- проводити параметричну оптимізацію схемотехнічних рішень.

4. Компетентності

Загальні компетентності

ЗК3. Здатність застосовувати знання у практичних ситуаціях.

ЗК7. Вміння виявляти, ставити та вирішувати проблеми.

Спеціальні (фахові) компетентності

Р5. Здатність використовувати засоби і системи автоматизації проектування до розроблення компонентів комп'ютерних систем та мереж, Інтернет додатків, кіберфізичних систем тощо.

Р12. Здатність ідентифікувати, класифікувати та описувати роботу програмно-технічних засобів, комп'ютерних та кіберфізичних систем, мереж та їхніх компонентів шляхом використання аналітичних методів і методів моделювання.

Р13. Здатність вирішувати проблеми у галузі комп'ютерних та інформаційних технологій, визначати обмеження цих технологій.

5. Програмні результати навчання

Н1. Знати і розуміти наукові положення, що лежать в основі функціонування комп'ютерних засобів, систем та мереж.

Н3. Знати новітні технології в галузі комп'ютерної інженерії.

Н7. Вміти розв'язувати задачі аналізу та синтезу засобів, характерних для спеціальності.

Н9. Вміти застосовувати знання технічних характеристик, конструктивних особливостей, призначення і правил експлуатації програмно-технічних засобів комп'ютерних систем та мереж для вирішення технічних задач спеціальності.

Н13. Вміти ідентифікувати, класифікувати та описувати роботу комп'ютерних систем та їх компонентів.

6. Організація навчання курсу

Обсяг курсу					
Вид заняття			Загальна кількість годин		
лекції			44		
семінарські заняття / практичні / лабораторні			46		
самостійна робота			180		
Ознаки курсу					
Семестр	Спеціальність	Курс (рік навчання)		Нормативний/ вибірковий	
5	F7 Комп'ютерна інженерія	3		Нормативний	
Тематика курсу					
Тема	Форма заняття, год.	Література	Кількість годин	Вага оцінки (макс.	Термін виконання

				оцінка)	
Змістовий модуль 1					
Тема 1. Вступ до предмету «Цифрова схемотехніка» Інтегральні схеми – основа цифрової схемотехніки. Ознаки класифікації ІС.	Лекція	1-3	2	100	Згідно розкладу
Тема 2. Типи структур інтегральних схем, їх властивості. Вибір типів ІС для цифрової схемотехніки за співвідношенням «ціна / параметри».	Лекція	1-3	2	100	Згідно розкладу
Тема 3. Форми представлення інформації. Основні поняття. Сигнали. Види сигналів, їх параметри. Вимірювання часових і амплітудних характеристик сигналів.	Лекція	2	2	100	Згідно розкладу
Тема 4. Логічні основи побудови елементної бази цифрових ІС. Основні поняття і визначення Булевої алгебри. Форми подання Булевої інформації. Основні тотожності. Моделі і параметри логічних елементів.	Лекція	2	2	100	Згідно розкладу
Тема 5. Серії ІС та логічних елементів. Типи вихідних каскадів цифрових ІС. Базові властивості і характеристики цифрових ІС.	Лекція	2	2	100	Згідно розкладу
Тема 6. МОН-транзистори – основа для побудови елементної бази цифрових ІС. Конструктивно-топологічні і електричні характеристики МОН-транзисторів. Часові і енергетичні параметри передачі сигналів МОН-транзисторами. Логічні	Лекція	4	2	100	Згідно розкладу

операції і таблиці істинності. Логічні рівні і квантування сигналів.					
Тема 7. КМОН - інвертор як основа для побудови базових логічних елементів цифрових ІС. Приладна структура і схематична топологія КМОН -інвертора. Амплітудно-передавальні характеристики логічних елементів, часові діаграми їх функціонування.	Лекція	4	4	100	Згідно розкладу
Тема 8. Набори цифрових логічних елементів з функціями І, АБО, НЕ, комбіновані. Умовні графічні позначення. Математичний і табличний опис функцій, таблиці істинності. Лінійка цифрових елементів Буля, їх функціонування і таблиця істинності.	Лекція	2,3	2	100	Згідно розкладу
Тема 9. Специфічні елементи цифрової схемотехніки на основі КМОН - інверторів: підсилювачі і формувачі імпульсних сигналів, формувачі і перетворювачі (зсувачі) рівнів сигналів, регульовані схеми затримки сигналів, виділення фронтів імпульсів, керовані кільцеві генератори.	Лекція	4	4	100	Згідно розкладу
Тема 10. Принципи побудови цифрових комбінаційних схем на основі КМОН - транзисторних структур. Шифратори і дешифратори, комбінаційні схеми на їх основі.	Лекція	2,6	2	100	Згідно розкладу
Тема 11. Прохідні ключі на основі КМОН - транзисторних структур. Проектування на їх основі елементів цифрових ІС з керованими	Лекція	6	2	100	Згідно розкладу

виходами та комбінаційних логічних елементів. Динамічні параметри цифрових логічних елементів на основі прохідних ключів.					
Тема 12. Типи і схемотехніка виходів цифрових КМОН ІС. Логічні виходи. Виходи з трьома станами. Відкриті виходи. Програмовані виходи.	Лекція	6	2	100	Згідно розкладу
Тема13. КМОН схемотехніка тригерних пристроїв. Класифікація тригерів. Тактування тригерів. Використання тригерів.	Лекція	1	2	100	Згідно розкладу
Тема 14. КМОН схемотехніка регістрів і лічильників на основі КМОН-структур ..	Лекція	2,3	2	100	Згідно розкладу
Тема 15. Запам'ятовуючі пристрої. Класифікація, організація і структури запам'ятовуючих пристроїв. Режими зберігання інформації в ЗП.	Лекція	4	2	100	Згідно розкладу
Тема 16. Комірки статичних і динамічних запам'ятовуючих елементів в схемотехніці КМОН і п-МОН.	Лекція	1,6,9	2	100	Згідно розкладу
Тема 17. Проблеми і перспективи запам'ятовуючих пристроїв. Перспективні ЗП (ферроелектричні, магніто-резистивні, полімерно-ферроелектричні)	Лекція	1,6	2	100	Згідно розкладу
Тема18. Мікропроцесорні системи. Структура і функціонування мікропроцесорних систем.	Лекція	1,5,4	2	100	Згідно розкладу
Тема 19. Мікроконтролери. Структура і функціонування мікроконтролерів.	Лекція	1,5	2	100	Згідно розкладу

Тема 20. КМОН схемотехніка інтерфейсних схем. Шинні формувачі і буферні регістри.	Лекція	1,3	2	100	Згідно розкладу
Тема 21. FPGA, ПЛІС – програмовані користувачами вентильні матриці. Властивості і можливості. Програмовані елементи.	Лекція	1,3	2	100	Згідно розкладу
Тема 22. БМК- програмовані користувачем базові матричні кристали. Етапи проектування матричних ІС.	Лекція	1,2	2	100	Згідно розкладу
<u>Модульний контроль 1</u>			2	100	Згідно розкладу
Практичний модуль					
<u>Лабораторна робота №1</u> в САПР Top Spice. Вивчення оболонки, моделей бібліотеки елементної бази і графічного схемотехнічного редактора ІС в САПР Top Spice 10.	Лаб. робота	7,10	4	100	Згідно розкладу
<u>Лабораторна робота №2.</u> Дослідження електрофізичних параметрів МОН – транзисторів із їх передавальних та вихідних ВАХ залежно від конструктивно–топологічних параметрів. МОН - транзистор як ключовий елемент цифрових ІС. Таблиця істинності та параметри швидкодії при передачі сигналів.	Лаб. робота	7,10	4	100	Згідно розкладу
<u>Лабораторна робота №3.</u> Опис цифрових сигналів в САПР Top Spice 10. Моделювання, побудова і оптимізація АПХ і часових характеристик КМОН – інверторів. Дослідження впливу ємності навантаження на часові параметри КМОН-інвертора.	Лаб. робота	7,10	4	100	Згідно розкладу

<u>Лабораторна робота №4.</u> Моделювання і оптимізація АПХ і часових характеристик логічних КМОН елементів на прикладі схеми ЗАБО-НЕ залежно від топологічних розмірів і ємнісного навантаження. Складання електричної схеми. Опис вхідних сигналів. Складання таблиці істинності.	Лаб. Робота	7,10	4	100	Згідно розкладу
<u>Лабораторна робота №5.</u> Комп'ютерне моделювання і дослідження комбінаційних схем на основі логічних елементів 2АБО-НЕ, 2І-НЕ. Складання електричної схеми на КМОН - транзисторах, математичного виразу виконуваної функції, таблиці істинності.	Лаб. робота	7,10	4	100	Згідно розкладу
<u>Лабораторна робота №6.</u> Комп'ютерне моделювання і дослідження елементів цифрових ІС з регульованою затримкою сигналів з використанням інтегруючих RC-кіл.	Лаб. робота	7,10	4	100	Згідно розкладу
<u>Лабораторна робота №7.</u> Комп'ютерне моделювання і дослідження елементів цифрових ІС з виділенням фронтів імпульсів з регульованою тривалістю сигналів з використанням диференціюючих RC-кіл.	Лаб. робота	7,10	2	100	Згідно розкладу
<u>Лабораторна робота №8.</u> Комп'ютерне моделювання дослідження і генераторів імпульсів. Логічно керовані кільцеві генератор імпульсів – як інструментарій оцінки параметрів КМОН цифрових ІС.	Лаб. робота	7,10	4	100	Згідно розкладу
<u>Лабораторна робота №9.</u>	Лаб.	7,10	4	100	Згідно

Комп'ютерне моделювання і дослідження елементів статичних запам'ятовуючих пристроїв. 6-ти транзисторна комірка пам'яті на основі КМОН - транзисторів.	робота				розкладу
Лабораторна робота №10. Комп'ютерне моделювання і дослідження цифрових інтегральних формувачів (перетворювачів) рівнів сигналів з низького до високого та з високого до низького.	Лаб. робота	7,10	2	100	Згідно розкладу
Лабораторна робота №11. Комп'ютерне моделювання і дослідження функціонування інтегральних тригерів D-типу на основі КМОН-транзисторних структур.	Лаб. робота	7,10	4	100	Згідно розкладу
Лабораторна робота №12. Комп'ютерне моделювання і дослідження принципів побудови і функціонування цифрових елементів КМОН ІС з керованим виходом і трьома станами.	Лаб. робота	7,10	4	100	Згідно розкладу
Самостійна робота					
Тема 1. Ознайомлення з сучасною базовою технологією формування приладних КМОН - структур цифрових ІС. Результати моделювання базових кроків на прикладі формування інтегрального КМОН-інвертора. Взаємозв'язок «інтегральна структура – схемотехнічне рішення – топологія».	Самостійна робота	4,11	10	100	Згідно розкладу
Тема 2. Проблеми автоматизованого проектування і	Самостійна робота	1,8,11	20	100	Згідно розкладу

<p>верифікації топологій цифрових КМОН ІС. Автоматизоване проектування планів топологій кристалів ІС, схем зовнішнього інтерфейсу ІС. Автоматизована генерація топологій елементів приладних структур КМОН ІС за заданим описом їх конструктивних параметрів в САПР.</p>					
<p>Тема 3. Периферійні інтегральні приладні структури цифрових КМОН ІС. Схеми захисту від статичної електрики. Моделювання проходження сигналів через інтегральні контактні площадки, транзисторні структури елементів схем захисту від статичної електрики.</p>	Самостійна робота	1,11	10	100	Згідно розкладу
<p>Тема 4. Інтегральні схеми та елементи статичної пам'яті на КМОН - структурах. Їх схемотехніка, часові діаграми, функціонування.</p>	Самостійна робота	1,8	20	100	Згідно розкладу
<p>Тема 5. Інтегральні схеми та елементи динамічної пам'яті на КМОН - структурах. Принцип запам'ятовування інформації. Їх схемотехніка, регенерація інформації, функціонування.</p>	Самостійна робота	1	20	100	Згідно розкладу
<p>Тема 6. Інтегральні схеми та елементи FLASH – пам'яті. Схемотехніка. Принципи запису, зчитування і зберігання інформації.</p>	Самостійна робота	1, 2	20	100	Згідно розкладу
<p>Тема 7. Побудова і комп'ютерне моделювання інтегральних елементів дешифраторів на КМОН - структурах для статичних</p>	Самостійна Робота	4,5	20	100	Згідно розкладу

схем пам'яті. Тема 8. Вивчення схемотехніки, побудова і комп'ютерне моделювання інтегральних елементів двонаправлених входів/виходів для багаторозрядних статичних схем пам'яті.	Самостійна робота	6,8	20	100	Згідно розкладу
Тема 9. Двонаправлені ключі на основі інтегральних КМОН - структур. Їх використання в цифрових ІС для схем керування. Проектування цифрових логічних КМОН - схем на основі двонаправлених ключів. Порівняльне схемотехнічне моделювання елементів цифрових ІС на основі традиційної схемотехніки та двонаправлених КМОН-ключів.	Самостійна робота	6	20	100	Згідно розкладу
Тема 10. Програмовані логічні інтегральні схеми (ПЛІС). Програмування і проектування мікропроцесорних пристроїв на основі ПЛІС.	Самостійна робота	1,4	20	100	Згідно розкладу
Контроль самостійної роботи	2		2	100	Тиждень КСР
Підсумковий контроль (екзамен)				100	Згідно розкладу

7. Система оцінювання курсу

Загальна система оцінювання курсу
<p><i>Поточний контроль</i> здійснюється під час проведення лекційних, лабораторних, індивідуальних занять і має на меті перевірку знань студентів з окремих тем навчальної дисципліни та рівня їх підготовленості до виконання конкретної роботи. Оцінки у національній шкалі («відмінно» - 5, «добре» - 4, «задовільно» - 3, «незадовільно» - 2), отримані студентами, виставляються у журналах обліку відвідування та успішності академічної групи.</p> <p><i>Модульний контроль (сума балів за окремий змістовий модуль)</i> проводиться (виставляється) на підставі оцінювання результатів знань студентів після вивчення матеріалу з логічно завершеної частини дисципліни – змістового модуля.</p>

Завданням модульного контролю є перевірка розуміння та засвоєння певного матеріалу (теми), вироблення навичок проведення розрахункових робіт, вміння вирішувати конкретні ситуативні задачі, самостійно опрацьовувати тексти, здатності осмислювати зміст даної частини дисципліни, уміння публічно чи письмово подати певний матеріал.

Семестровий (підсумковий) контроль проводиться у формі екзамену.

Екзамен – форма підсумкового контролю, яка передбачає перевірку розуміння студентом теоретичного та практичного програмного матеріалу з усієї дисципліни, здатності творчо використовувати здобуті знання та вміння, формувати власне ставлення до певної проблеми тощо.

Шкала оцінювання: національна та ECTS

Сума балів за всі види навчальної діяльності	Оцінка ECTS	Оцінка за національною шкалою	
		для екзамену, курсового проекту (роботи), практики	
90-100	A	відмінно	
80-89	B	добре	
70-79	C		
60-69	D		
50-59	E	задовільно	
26-49	FX		
0-25	F	незадовільно з обов'язковим повторним вивченням дисципліни	

8. Політика курсу

Студент зобов'язаний відвідувати заняття відповідно до встановленого розкладу, не запізнюватися, мати відповідний зовнішній вигляд. У разі відсутності через хворобу надається відповідна довідка.

Пропущена лекція відпрацьовується студентом самостійно і оформляється як короткий конспект за темою заняття.

Пропущена лабораторна робота виконується студентом самостійно вдома або в комп'ютерному класі, результати оцінюються викладачем.

У випадку, якщо студент приймав участь у програмі мобільності, можливе врахування отриманих оцінок в іншому навчальному закладі за умови відповідності навчальних планів.

Політика академічної поведінки і етики

Студент повинен бути толерантним і поважати думку інших.

Заперечення повинні формулюватися тільки в коректній формі.

Плагіат та академічна недоброчесність несумісні з принципами діяльності ВНЗ.

Не допускається підказування та списування під час здачі будь-яких робіт поточного,

рубiжного чи пiдсумкового контролю.

Не допускається користування телефонами та будь-якими iншими електронними засобами пiд час задач будь-яких робiт поточного, рубiжного, чи пiдсумкового контролю.

9. Рекомендована лiтератури

1. Матвiєнко М.П., Розен В.П. Комп'ютерна схемотехнiка. Навчальний посiбник. – К.: Видавництво Лiра-К, 2020. – 192 с.
2. Борисенко О. А. Цифрова схемотехнiка. — Суми: СумДУ, 2016.
3. З.Сушко I. О., Титенко А. Т. Цифрова схемотехнiка: Лабораторний практикум. — Київ: КПI iм. I. Сiкорського, 2023.
4. Рябенський В.М. Цифрова схемотехнiка: Навч. посiбник / Рябенський В.М. Жуйков В.Я., Гулий В.Д. - Львiв: "Новий свiт-2000", 2009 - 736 с.
5. Etienne Sicard, Sonia Delmas Bendhia Deep-Submicron Circuit Design.- Simulator in hands.Salt Lake City, Utah 84109, USA -2003 (www.brookscole.com), 737 p.
- 5.Rabaev J.M. Digital Integrated Cirquits: A Design Perspective. – Prentice Hall, 1997. –734 p.
6. Когут I.Т. Методичнi вказiвки до виконання лабораторних робiт з цифрової схемотехнiки. ДВНЗ «Прикарпатський нацiональний унiверситет iменi Василя Стефаника».Iвано-Франкiвськ, 2019. –102с.
7. Порєва Г. С., Голубєва I. П., Казмiренко В. А. Цифрова схемотехнiка. Лабораторний практикум. — Київ: КПI iм. I. Сiкорського, 2024.
8. Бiлинський Й. Й., Книш Б. П. Цифрова схемотехнiка. Електронно-обчислювальнi пристрої. — Вiнниця: ВНТУ, 2021.
9. Данiлов О. С. Мiкропроцесорнi системи. — Київ: КПI, 2017 (оновлене навчальне видання).
10. Кравчук В. I. Цифровi пристрої та мiкропроцесорнi системи. — Львiв: Видавництво Львiвської полiтехнiки, 2018.
- 11.. САПР TopSpice.(www.penzar.com)
12. Лiнк опису ППП MicroWind-3. <https://www.microwid.org>
- 13.Majid Pakdel. Mastering Verilog for FPGA Design: From Fundamentals to Advanced Digital Systems. Springer, 2025.Сучасний i дуже детальний пiдручник по Verilog для FPGA.
14. John F. Wakerly.Digital Design: Principles and Practices (5th Edition). — Pearson, 2018. *Одна з найкращих сучасних книг iз цифрового проектування.*
15. Stephen Brown, Zvonko Vranesic. Fundamentals of Digital Logic with Verilog Design (3rd Edition). — McGraw-Hill, 2019. *Стандарт для вивчення Verilog та логiчного синтезу.*

Викладач

Когут I.Т.