

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
«ПРИКАРПАТСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
ІМЕНІ ВАСИЛЯ СТЕФАНІКА»**

Фізико-технічний факультет
Кафедра комп'ютерної інженерії та електроніки

**СИЛАБУС НАВЧАЛЬНОЇ ДИСЦИПЛІНИ
МОВИ ПРОГРАМУВАННЯ ЕЛЕКТРОННИХ СИСТЕМ**

Освітня програма Комп'ютерне проектування інтегральних схем
Галузь знань 17 Електроніка та телекомунікації
Спеціальність 171 Електроніка

Затверджено на засіданні кафедри
Протокол № 12 від “30” червня 2023 р.

ЗМІСТ

1. Загальна інформація
2. Анотація до курсу
3. Мета та цілі курсу
4. Компетентності
5. Результати навчання
6. Організація навчання курсу
7. Система оцінювання курсу
8. Політика курсу
9. Рекомендована література

1. Загальна інформація	
Назва дисципліни	Мови програмування електронних систем
Рівень вищої освіти	Перший рівень вищої освіти
Викладач (-і)	доцент, кандидат технічних наук Грига Володимир Михайлович
Контактний телефон викладача	0342596007
Е-mail викладача	volodymyr.gryga@pnu.edu.ua
Формат дисципліни	Семестровий
Обсяг дисципліни	6 кредитів
Посилання на сайт дистанційного навчання	http://www.d-learn.pnu.edu.ua/
Консультації	відповідно до графіку індивідуальних консультацій, який розміщений на інформаційному стенді кафедри комп'ютерної інженерії та електроніки
2. Анотація до курсу	
<p>Дисципліна «Мови програмування електронних схем» належить до переліку дисциплін вільного вибору за освітнім рівнем «бакалавр», що пропонуються в рамках циклу професійної та практичної підготовки студентів за освітньо-професійною програмою «Комп'ютерне проектування інтегральних схем». Вона забезпечує формування у студентів науково-дослідницьких і професійно-орієнтованих компетенцій. Предметом вивчення навчальної дисципліни є засвоєння основних принципів і методів проектування та моделювання мікроелектронних компонентів комп'ютерних систем з використанням основних конструкцій мов опису апаратних засобів (VHDL, Verilog та SystemC).</p> <p>Силабус навчальної дисципліни «Мови програмування електронних схем» складений відповідно до освітньо-професійної програми «Комп'ютерне проектування інтегральних схем» підготовки бакалаврів спеціальності 171 «Електроніка».</p>	
3. Мета та цілі курсу	
<p>Мета: вивчення студентами основ створення програмних моделей мікроелектронних компонентів комп'ютерних систем з використанням мов опису апаратних засобів VHDL, Verilog і SystemC, засвоєння принципів опису поведінки систем на архітектурному та структурному рівнях, оволодіння методами автоматичного тестування та моделювання для вирішення спеціалізованих задач в галузі.</p> <p>У результаті вивчення навчальної дисципліни студент повинен</p> <p>знати:</p> <ul style="list-style-type: none"> - класифікацію та сфери застосування мов опису апаратних засобів; - типи архітектурних описів, опис сигналів та інтерфейсу на мовах VHDL і Verilog; - типи даних, вирази, оператори, константи та процеси у мовах VHDL і Verilog; - опис поведінки системи; - множинні процеси у VHDL-архітектурі; - структурні описи у мовах VHDL і Verilog; - принципи логічного моделювання та синтезу; - основні поняття мови SystemC; - методологію проектування засобами мови SystemC. <p>вміти:</p> <ul style="list-style-type: none"> - проектувати та моделювати роботу простих цифрових компонентів з 	

використанням інтегрованого середовища Active-HDL фірми Aldec;
 - моделювати інерційні та транспортні затримки часу і режими очікування в цифрових пристроях;
 - проектувати та моделювати елементи з пам'яттю;
 - проектувати і моделювати роботу ПЗП та ОЗП на мовах VHDL і Verilog;
 - розробляти діаграми скінченних автоматів для опису об'єктів;
 - виконувати моделювання і тестування VHDL-проектів в середовищі ModelSim;
 - використовувати блок-діаграми для декомпозиції складних пристроїв;
 - проектувати та моделювати цифрові компоненти мікроелектронних пристроїв на мові SystemC.

4. Компетентності

Загальні компетентності

ЗК1. Здатність застосовувати знання у практичних ситуаціях.

ЗК7. Здатність до пошуку, оброблення та аналізу інформації з різних джерел.

Спеціальні (фахові) компетентності

СК1. Здатність використовувати знання і розуміння наукових фактів, концепцій, теорій, принципів і методів для проектування та застосування приладів та систем електроніки.

СК8. Здатність вирішувати інженерні задачі в галузі електроніки з урахуванням всіх аспектів розробки, проектування, виробництва, експлуатації та модернізації електронних приладів, пристроїв та систем.

Додаткові.

Здатність програмувати мікроелектронні пристрої на мовах опису апаратних засобів.

5. Результати навчання

P1. Описувати принцип дії за допомогою наукових концепцій, теорій та методів та перевіряти результати при проектуванні та застосуванні приладів, пристроїв та систем електроніки.

P5. Використовувати інформаційні та комунікаційні технології, прикладні та спеціалізовані програмні продукти для вирішення задач проектування та налагодження електронних систем, демонструвати навички програмування, аналізу та відображення результатів вимірювання та контролю.

6. Організація навчання курсу

Обсяг курсу

Вид заняття	Загальна кількість годин
лекції	30
семінарські заняття / практичні / лабораторні	30
самостійна робота	120

Ознаки курсу

Семестр	Спеціальність	Курс (рік навчання)	Нормативний / вибірковий
VII	171 Електроніка	4	вибірковий

Тематика курсу

Тема, план	Форма заняття	Літера- тура	Кіль- кість годин	Вага оцінки	Термін виконання
Змістовий модуль 1. Основи мови VHDL					

Тема 1. Класифікація, призначення та сфери застосування мов опису апаратних засобів.	лекція	[1-10]	2	1	Згідно розкладу
Тема 2. Представлення системи у VHDL: інтерфейси та архітектура, використання пакетів.	лекція	[1-10]	2	1	Згідно розкладу
Тема 3. Сигнали у VHDL та Verilog. Базові типи та декларування сигналів. Опис системного інтерфейсу. Оператори Port і Generic.	лекція	[1-10]	2	1	Згідно розкладу
Тема 4. VHDL-конструкції для опису поведінки системи: нелогічні типи даних, вирази та оператори. Константи.	лекція	[1-10]	2	2	Згідно розкладу
Тема 5. Транспортні та інерційні затримки. Порівняння транспортних та інерційних затримок. Концепція дельта-затримок.	лекція	[1-10]	2	2	Згідно розкладу
Тема 6. Опис поведінки системи у VHDL: процеси, змінні, керування послідовністю виконання операторів.	лекція	[1-10]	2	2	Згідно розкладу
Тема 7. Множинні процеси у VHDL-архітектурі. Паралельність. Оператори присвоєння сигналів як спрощені процеси.	лекція	[1-10]	2	2	Згідно розкладу
Тема 8. Опис структури системи у VHDL. Структурні описи. Тестування VHDL-проектів за допомогою тестових стендів.	лекція	[1-10]	2	2	Згідно розкладу
Модульний контроль 1			16	13	Згідно розкладу
Змістовий модуль 2. Основи мови Verilog та SystemC					
Тема 9. Вступ до мови Verilog. Базові питання мови.	лекція	[1-10]	2	2	Згідно розкладу
Тема 10. Сигнали у Verilog. Зовнішні та внутрішні сигнали.	лекція	[1-10]	2	2	Згідно розкладу
Тема 11. Структурні описи у Verilog. Примітиви,	лекція	[1-10]	2	2	Згідно розкладу

визначені користувачем. Реалізація модулів.					
Тема 12. Вирази та оператори в мові Verilog.	лекція	[1-10]	2	1	Згідно розкладу
Тема 13. Поведінковий опис проектів в мові Verilog. Змінні та параметри. Складні оператори.	лекція	[1-10]	2	1	Згідно розкладу
Тема 14. Основні поняття мови SystemC. ” Огляд високорівневих мов програмування. Багатошарова архітектура бібліотеки SystemC.	лекція	[1-10]	2	2	Згідно розкладу
Тема 15. Методологія проектування засобами SystemC. Основи SystemC. Приклад проекту на мові SystemC . Моделювання проекту в SystemC.	лекція	[1-10]	2	2	Згідно розкладу
Модульний контроль 2			14	12	Згідно розкладу
Лабораторні роботи					
Тема 1. Генерування VHDL-коду простого пристрою, його компіляція та функціональна симуляція.	Лаб. робота	1-7	2	3	Згідно розкладу
Тема 2. Розробка та моделювання декодера для семисегментного індикатора на мові VHDL.	Лаб. робота	1-7	2	4	Згідно розкладу
Тема 3. Моделювання інерційної та транспортної затримок часу на мові VHDL.	Лаб. робота	1-7	2	4	Згідно розкладу
Тема 4. Розробка та моделювання паралельного регістра та регістра зсуву на мові VHDL.	Лаб. робота	1-9	4	5	Згідно розкладу
Тема 5. Проектування сканеру клавіатури із застосуванням діаграм скінченних автоматів для опису об'єктів.	Лаб. робота	4-10	4	5	Згідно розкладу
Тема 6. Моделювання та тестування VHDL-проектів в середовищі ModelSim фірми Mentor Graphics.	Лаб. робота	4-10	2	4	Згідно розкладу
Тема 7. Реалізація та моделювання	Лаб. робота	5-7	2	4	Згідно розкладу

комбінаційних схем на мові Verilog.					
Тема 8. . Реалізація та моделювання постійних запам'ятовуючих пристроїв на мовах VHDL та Verilog.	Лаб. робота	7-10	2	4	Згідно розкладу
Тема 9. Реалізація та моделювання синхронної пам'яті на мовах VHDL та Verilog.	Лаб. робота	1,4, 7-10	4	5	Згідно розкладу
Тема 10. Реалізація та моделювання роботи D-тригера на мові System C	Лаб. робота	1,4,10	2	4	Згідно розкладу
Тема 11. Реалізація та моделювання роботи багато розрядного суматора на мові System C.	Лаб. робота	1,4,7	2	4	Згідно розкладу
Тема 12. Реалізація та моделювання роботи двійкових лічильників на мові System C.	Лаб. робота	1-4,10	2	4	Згідно розкладу
Контроль лабораторних робіт			30	50	
Самостійна робота студентів					
Тема 1. Драйвера і атрибути сигналів. Багатозначна логіка.	Само-стійна робота	[1-10]	8	1	Впродовж семестру
Тема 2. Пряма реалізація інтерфейсів. Компоненти та конфігурації.	Само-стійна робота	[1-10]	8	1	Впродовж семестру
Тема 3. Способи HDL-опису простих компонентів. Реалізація комбінаційних схем та схем із пам'яттю. Модель блоку синхронної пам'яті.	Само-стійна робота	[1-10]	8	1	Впродовж семестру
Тема 4. Перетворення типів в мові VHDL. Атрибути сигналів та масивів. Оператор очікування WAIT. Оператор NULL.	Само-стійна робота	[1-10]	8	2	Впродовж семестру
Тема 5. Оператор вибору CASE. Оператор циклу LOOP. Оператори NEXT і EXIT.	Само-стійна робота	[1-10]	8	2	Впродовж семестру
Тема 6. Принципи логічного моделювання та синтезу. Тестування VHDL-проектів за допомогою тестових	Само-стійна робота	[1-10]	8	2	Впродовж семестру

стендів.					
Тема 7. Стратегія функціональної верифікації. Типи тестів. Макроси. RTL-опис.	Само- стійна робота	[1-10]	8	2	Впродовж семестру
Тема 8. Структурна форма проекту. Оператори Component та Port Map.	Само- стійна робота	[1-10]	8	2	Впродовж семестру
Контроль самостійної роботи			64	13	Згідно розкладу
Тема 9. Типи даних в мові Verilog. Оголошення та область видимості даних. Операції в мові Verilog.	Само- стійна робота	[1-10]	8	2	Впродовж семестру
Тема 10. Вирази з полями векторів і масивів в мові Verilog. Умовні вирази. Виділення елементів масивів.	Само- стійна робота	[1-10]	8	2	Впродовж семестру
Тема 11. Послідовні оператори в мові Verilog. Оператори затримки, умовний оператор, оператор вибору, циклу та виходу із групи.	Само- стійна робота	[1-10]	8	2	Впродовж семестру
Тема 12. Процедури і функції. Процедура task. Функція function. Робота з файлами.	Само- стійна робота	[1-10]	8	1	Впродовж семестру
Тема 13. Форматований ввід-вивід. Паралельні оператори і блоки. Директиви компіляції.	Само- стійна робота	[1-10]	8	1	Впродовж семестру
Тема 14. Складність проектування на System C. TLM методологія проектування. Компілювання SystemC моделі в кремній.	Само- стійна робота	[1-10]	8	2	Впродовж семестру
Тема 15. Моделювання та тестування SystemC-проектів. Монтування дослідного стенду. Архітектури для System-C-driven Design Computing	Само- стійна робота	[1-10]	8	2	Впродовж семестру
Контроль самостійної роботи			56	12	Згідно розкладу
Підсумковий контроль (залік)			180	100	
7. Система оцінювання курсу					
Загальна система оцінювання курсу	Поточний контроль здійснюється під час проведення лекційних, лабораторних, індивідуальних занять і має на меті				

перевірку знань студентів з окремих тем навчальної дисципліни та рівня їх підготовленості до виконання конкретної роботи. Оцінки у національній шкалі («відмінно» - 5, «добре» - 4, «задовільно» - 3, «незадовільно» - 2), отримані студентами, виставляються у журналах обліку відвідування та успішності академічної групи.

Модульний контроль (сума балів за окремий змістовий модуль) проводиться (виставляється) на підставі оцінювання результатів знань студентів після вивчення матеріалу з логічно завершеної частини дисципліни – змістового модуля.

Завданням модульного контролю є перевірка розуміння та засвоєння певного матеріалу (теми), вироблення навичок проведення розрахункових робіт, вміння вирішувати конкретні ситуативні задачі, самостійно опрацьовувати тексти, здатності осмислювати зміст даної частини дисципліни, уміння публічно чи письмово подати певний матеріал.

Семестровий (підсумковий) контроль проводиться у формі екзамену.

Екзамен – форма підсумкового контролю, яка передбачає перевірку розуміння студентом теоретичного та практичного програмного матеріалу з усієї дисципліни, здатності творчо використовувати здобуті знання та вміння, формувати власне ставлення до певної проблеми тощо.

Сума балів за всі види навчальної діяльності	Оцінка ECTS	Оцінка за національною шкалою	
		для екзамену, курсового проекту (роботи), практики	для заліку
90 – 100	A	відмінно	зараховано
80 – 89	B	добре	
70 – 79	C		
60 – 69	D	задовільно	
50 – 59	E		
26 – 49	FX	незадовільно з можливістю повторного складання	не зараховано з можливістю повторного складання
0-25	F	незадовільно з обов'язковим повторним вивченням дисципліни	не зараховано з обов'язковим повторним вивченням дисципліни

Вимоги до письмової роботи

Підсумкова письмова робота виконується у формі тестових завдань з вибором правильної відповіді. Кількість тестових завдань – 25.

Лабораторні заняття

До початку лабораторної роботи студент має отримати допуск на основі усної співбесіди з викладачем. На лабораторній роботі кожний студент отримує варіант завдання до виконання на занятті і домашнього завдання для самостійної роботи. Після завершення роботи студент захищає поточне завдання і домашні завдання попередніх лабораторних робіт оформленні як звіти.

<p>Умови допуску до підсумкового контролю</p>	<p>Студент допускається до складання заліку, якщо впродовж семестру він за змістові модулі набрав сумарно 25 балів і вище.</p> <p>Студент не допускається до складання заліку, якщо впродовж семестру він за змістові модулі та лабораторні роботи набрав менше 25 балів. У цьому випадку студенту у відомості робиться запис "не допущений" і виставляється набрана кількість балів. Допускається, як виняток, з дозволу декана факультету за заявою, погодженою з відповідною кафедрою, одноразове виконання студентом додаткових видів робіт з навчальної дисципліни (відпрацювання пропущених занять, перескладання змістових модулів, виконання індивідуальних завдань тощо) для підвищення оцінок за змістові модулі.</p> <p>Напередодні екзамену викладач подає доповідну декану про не допуск студентів академічної групи (груп). Відмітка про не допуск у відомості робиться при наявності розпорядження декана.</p>
---	---

8. Політика курсу

Студент зобов'язаний відвідувати заняття відповідно до встановленого розкладу, не запізнюватися, мати відповідний зовнішній вигляд. У разі відсутності через хворобу надається відповідна довідка.

Пропущена лекція відпрацьовується студентом самостійно, як короткий конспект за темою заняття.

Пропущена лабораторна робота виконується студентом самостійно вдома або в комп'ютерному класі, результати оцінюються викладачем.

У випадку, коли студент приймав участь у програмі мобільності, можливе врахування отриманих оцінок в іншому навчальному закладі за умови відповідності навчальних планів.

Можливе зарахування результатів неформальної освіти згідно з Положенням про порядок зарахування результатів неформальної освіти у ДВНЗ «Прикарпатський національний університет імені Василя Стефаника».

Політика академічної поведінки і етики

Студент повинен бути толерантним і поважати думку інших.

Заперечення повинні формулюватися тільки в коректній формі.

Плагіат та академічна недобросовісність несумісні з принципами діяльності ЗВО.

Не допускається підказування та списування під час здачі будь-яких робіт поточного, рубіжного чи підсумкового контролю.

Не допускається користування телефонами та будь-якими іншими електронними засобами під час здачі будь-яких робіт поточного, рубіжного, чи підсумкового контролю.

9. Рекомендована література

Основна

1. Семенець В.В., Хаханова І.В., Хаханов В.І. Проектування цифрових систем з використанням мови VHDL. – Харків: ХНУРЕ, 2003. – 492 с.
2. Семенець В.В., Хаханов В.І. Проектування цифрових систем з Використання мови VHDL. – Харків: ХНУРЕ, 2002. – 192 с.
3. Бібіло П.М. Основи мови VHDL. – М.: СОЛОН-Р, 2003. – 294 с.
4. Бібіло П.М. Синтез логічних схем з використанням мови VHDL. – М.: СОЛОН-

- Р, 2002. – 384 с.
5. Сергієнко А.М. VHDL для проектування обчислювальних пристроїв. – К.: ПП "Корнійчук", ТОВ "ТИД ДС", 2003. – 208 с.
 6. Стешенко В.Б. Плис фірми ALTERA: елементна база, системи проектування і мови опису апаратури. – М.: Видавничий дім "Додека-XXI", 2002. – 576 с.
 7. Семенець В. Впровадження технологій дистанційного навчання у навчальний процес / В. В. Семенець, В. Каук, О. Аврунін // Вища школа. – 2009. – № 5. – С. 40 – 51.
 8. Аврунін О.Г. «Основи мови VHDL для проектування цифрових пристроїв на ПЛІС»: навч. посібник / О.Г. Аврунін, Т.В. Носова, В.В. Семенець. □ Харків: ХНУРЕ, 2018. □ 196 с.
 9. А.О. Мельник, В.А. Мельник Персональні суперкомп'ютери: архітектура, проектування, застосування: монографія. – Львів: Видавництво Львівської політехніки, 2013. – 516 с.

Допоміжна

10. Методичні вказівки до лабораторних робіт з дисциплін «Автоматизація проектування електронних пристроїв», «Застосування ПЛІС під час проектування біомедичної апаратури» для студентів денної та заочної форм навчання спеціальностей: 7.090804 Фізична та біомедична електроніка, 7.091002 Біотехнічні та медичні апарати і системи / Упоряд. О.Г. Аврунін, О.Я. Крук, Т.В. Носова, В.В. Семенець. □ Харків: ХНУРЕ, 2010. □ 52 с.

Викладач



Грига В.М.