

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
«ПРИКАРПАТСЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
ІМЕНІ ВАСИЛЯ СТЕФАНІКА»**



Факультет фізико-технічний

Кафедра комп'ютерної інженерії та електроніки

СИЛАБУС НАВЧАЛЬНОЇ ДИСЦИПЛІНИ

Дослідження і проектування цифрових систем на Verilog

Рівень вищої освіти: другий (бакалаврський)
Освітня програма: Комп'ютерна інженерія
Спеціальність: 123 Комп'ютерна інженерія
Галузь знань: 12 Інформаційні технології

Затверджено на засіданні кафедри
Протокол № 12 від “30” червня 2023 р.

м. Івано-Франківськ – 2023 р.

ЗМІСТ

1. Загальна інформація	3
2. Опис дисципліни	3
3. Структура курсу	4
4. Система оцінювання курсу	6
5. Оцінювання відповідно до графіку навчального процесу	6
6. Ресурсне забезпечення	6
7. Контактна інформація	7
8. Політика навчальної дисципліни	7

1. Загальна інформація

Назва дисципліни	Дослідження і проектування цифрових систем на Verilog
Освітня програма	Комп'ютерна інженерія
Спеціалізація (за наявності)	-
Спеціальність	123 Комп'ютерна інженерія
Галузь знань	12 Інформаційні системи
Освітній рівень	магістр
Статус дисципліни	вибіркова
Курс / семестр	перший курс, другий семестр
Розподіл за видами занять та годинами навчання (якщо передбачені інші види, додати)	Лекції – 14 год. Лабораторні заняття – 16 год. Самостійна робота – 60 год.
Мова викладання	Українська
Посилання на сайт дистанційного навчання	https://d-learn.pnu.edu.ua

2. Опис дисципліни

Мета та цілі курсу	Формування у студентів сучасних теоретичних уявлень та практичних знань з дослідження та проектування цифрових систем з використанням мови опису апаратури Verilog, розуміння функціонального і структурного опису цифрових схем. Отримані знання дозволять студенту створювати і досліджувати моделі цифрових систем і пристроїв комбінаційного та послідовнісного типу, а також автоматів з пам'яттю.
Компетентності	<p>Інтегральна компетентність:</p> <p>Здатність розв'язувати складні задачі і проблеми в галузі комп'ютерної інженерії або у процесі навчання, що передбачає проведення досліджень та/або здійснення інновацій та характеризується невизначеністю умов і вимог.</p> <p>Спеціальні (фахові) компетентності</p> <p>Здатність до визначення технічних характеристик, конструктивних особливостей, застосування і експлуатації програмних, програмно-технічних засобів, комп'ютерних систем та мереж різного призначення.</p> <p>Здатність обирати ефективні системи автоматизованого проектування КС, здійснювати</p>

	проектування ІС, мікросистем на кристалі, програмування ПЛІС.
Програмні результати навчання	Вміти працювати у складі колективу (групи) дослідників та розробників, координувати дії та результати, відповідати за вчасне, якісне та ефективне виконання розділів та етапів роботи. Працювати з програмним забезпеченням сучасних САПР. Конструювати, виготовляти і тестувати макети дослідних взірців інформаційно-вимірювальних та комп'ютерних систем, оформляти проектно конструкторську документацію.

3. Структура курсу

№	Тема	Результати навчання	Кількість годин	Завдання
1.	Лексичні елементи та типи мови Verilog	Знати лексичні елементи мови Verilog, типи змінних і сигналів, логічні значення і сили сигналів, директиви компілятора. Вміти описувати фізичні зв'язки між блоками проекту, логічними вентилями.	2	Поточний контроль, тести, завдання для самостійної роботи
2.	Оператори і вирази. Команди виведення результатів	Знати оператори: бінарні, тернарні, відношень і рівності, зчеплення, пріоритетів, процедурні, циклів. Знати вбудовані команди для виведення результатів. Вміти записувати поля з векторів і матриць, виконувати присвоєння у комбінаційній логіці, задавати поточний час моделювання і виводити результати.	2	Поточний контроль, тести, завдання для самостійної роботи
3.	Структурне моделювання.	Знати 4-значну логіку роботи вбудованих вентилів і буферів, структуру модуля і ієрархію модулів, типи портів. Вміти створювати багатомодульні проекти, екземпляри модулів, з'єднувати порти	2	Поточний контроль, тести, завдання для самостійної роботи

		використанням впорядкованих і іменованих параметрів.		
4.	Процедурне моделювання	Знати оператори для роботи з подіями, процедури та процедурні блоки, затримки сигналів, типи процедурних призначень. Вміти задавати затримки сигналів, контролювати події, застосовувати блоки begin...end, fork...join, вміти застосовувати блокуючі та неблокуючі призначення.	2	Поточний контроль, тести, завдання для самостійної роботи
5.	Комбінаційні схеми	Знати оператор умови ?:, вирази if-else case, цикли for, конструкцію generate, призначення, виклик і використання завдань, автоматичні завдання, локальні і статичні дані, призначення, виклик і використання завдань. Вміти застосовувати оператори умов і циклів, звичайні і автоматичні функції, завдання для описання комбінаційних схем,	2	Поточний контроль, тести, завдання для самостійної роботи
6.	Синхронні послідовнісні схеми Мура	Знати структуру і послідовність проектування послідовнісної схеми Мура. Вміти будувати діаграму переходів, визначати кількість змінних, вибирати тип тригерів.	2	Поточний контроль, тести, завдання для самостійної роботи
7.	Синхронні послідовнісні схеми Мілі	Знати структуру і послідовність проектування послідовнісної схеми Мілі. Вміти будувати діаграму переходів, визначати кількість змінних, вибирати тип і кількість тригерів.	2	Поточний контроль, тести, завдання для самостійної роботи

4. Система оцінювання курсу

Накопичування балів під час вивчення дисципліни	
Види навчальної роботи	Максимальна кількість балів
Лекції	7
Лабораторні роботи	32
Самостійна робота	15
Індивідуальне завдання	-
Екзамен	50
Максимальна кількість балів	100

5. Оцінювання відповідно до графіку навчального процесу

Види навчальної роботи	Номер навчального заняття (залежить від розподілу у розділі I)										Разом							
	1	2	3	4	5	6	7	8	КСР									
Лекції	1	1	1	1	1	1	1										7	
Лабораторні роботи	4	4	4	4	4	4	4	4										32
Самостійна р-та									15									15
Індивідуальні завдання																		
Екзамен																		50
Всього за заняття																		100

6. Ресурсне забезпечення

Матеріально-технічне забезпечення	Інтерактивна панель, комп'ютерна лабораторія для лабораторних робіт з IDE для програмування на Verilog з кількістю комп'ютерів до 12.
Література:	
<ol style="list-style-type: none"> 1. Рябенський В. М. VERILOG. Практика проектування цифрових пристроїв на ПЛІС : навч. посібник / В. М. Рябенський, О. О. Ушкаренко. – Миколаїв : Іліон, 2007. – 324 с 2. Кофанов В. Л., Осадчук О. В., Гаврілов Д. В. Проектування цифрових пристроїв на основі САПР Quartus II. Практикум / Кофанов В. Л., Осадчук О. В., Гаврілов Д. В. – Вінниця, ВНТУ, 2009. – 164 с. 3. Stephen Brown, Zvonko Vranesic. Digital Logic with Verolog Design. McGraw-Hill, 2014. – 847 p. 4. Дональд Томас, Філіп Мурбі. The Verilog® Hardware Description Language. Springer, 2008. – 386 p. 5. Michael D. Ciletti. Aavances digital design with Verilog HDL. Printice-Hall, 2003. – 1014 p. 	

7. Контактна інформація

Кафедра	Комп'ютерної інженерії та електроніки, вул. Шевченка, 57, 210а, 59-60-07, https://kkite.pnu.edu.ua/ , kkie@pnu.edu.ua
Викладач (і) Гостьові лектори	Голота Віктор Іванович, к.т.н., доцент
Контактна інформація викладача	victor.holota@pnu.edu.ua

8. Політика навчальної дисципліни

Академічна доброчесність	<p>Студент повинен бути толерантним і поважати думку інших. Заперечення повинні формулюватися тільки в коректній формі. Плагіат та академічна недоброчесність несумісні з принципами діяльності ЗВО. На титульній сторінці лабораторної роботи має бути запис про доброчесність "Засвідчую, що у цій лабораторній роботі немає запозичень з праць інших авторів без відповідних посилань".</p> <p>Не допускається підказування та списування під час здачі будь-яких робіт поточного, рубіжного чи підсумкового контролю. Не допускається користування телефонами та будь-якими іншими електронними засобами під час здачі будь-яких робіт поточного, рубіжного, чи підсумкового контролю. За недотримання академічної доброчесності, студент може бути недопущений до складання підсумкового контролю та відрахований з університету.</p>
Пропуски занять (відпрацювання)	-1 бал за кожне пропущене заняття
Виконання завдання пізніше встановленого терміну	-2 бали за протерміноване завдання
Невідповідна поведінка під час заняття	-5 балів від отриманого результату
Додаткові бали	5 балів за сертифікат неформальної освіти за темою дисципліни. Якщо у підсумкова кількість балів перевищує 100, то встановлюється оцінка 100.

Неформальна освіта	Можливість зарахування. Рекомендовані платформи: UdeMy (https://ua.udemy.com/), Coursera (https://www.coursera.org/), Prometheus (https://prometheus.org.ua/).
--------------------	---

Викладач



В.І. Голота